

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-204654

(43)Date of publication of application : 13.08.1993

(51)Int.Cl.

G06F 9/445

(21)Application number : 04-010781

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.01.1992

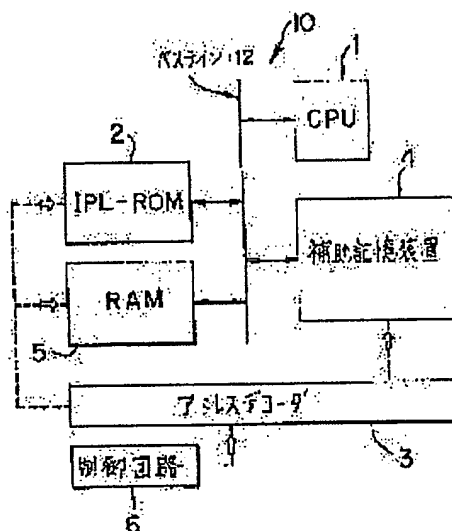
(72)Inventor : TANIGUCHI KENJI

## (54) START-UP PROGRAM UPDATING SYSTEM FOR CPU INCORPORATING DEVICE

## (57)Abstract:

PURPOSE: To easily update start-up program by switching a connection so as to arrange the area of an auxiliary storage device area on the address area of an IPL-ROM by hardware logic at the time of initial start-up operation.

CONSTITUTION: A CPU incorporating device 10 provided with a microprocessor (CPU) 1, an IPL-ROM 2 and a RAM 5 and executing the initial start-up operation of the CPU 1 by a start-up program stored in the IPL-ROM 2 after power supplying or resetting is also provided with an address decoder part 3 connected to a control circuit 6. The device 10 is also provided with an auxiliary storage device 4 and respective devices 1 to 6 are mutually connected through a bus line 12. At the time of initial start-up operation, the connection is switched so as to arrange the area of the device 4 on the address area of the ROM 2 by hardware logic and the device 10 is started by an updated start-up program stored in the device 4.



## LEGAL STATUS

[Date of request for examination] 20.03.1995

[Date of sending the examiner's decision of rejection] 13.05.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-204654

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 9/445

識別記号

庁内整理番号

F I

技術表示箇所

8944-5B

G 0 6 F 9/ 06

4 2 0 L

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平4-10781

(22)出願日 平成4年(1992)1月24日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 谷口 賢次

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 真田 有

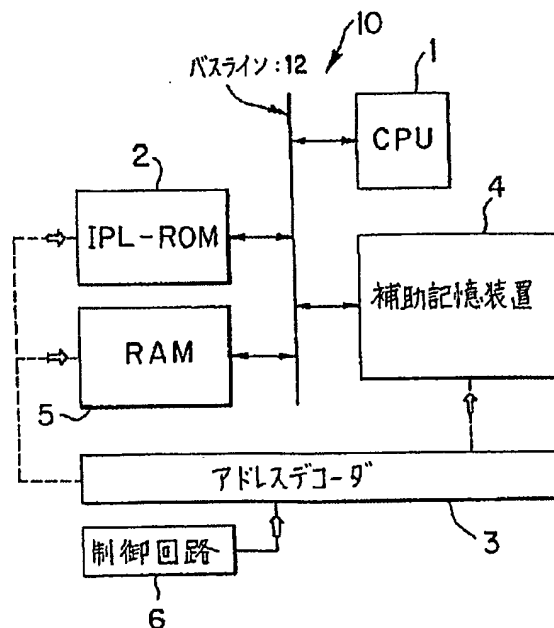
(54)【発明の名称】 CPU搭載装置における起動プログラム更新方式

(57)【要約】

【目的】 本発明は、CPU搭載装置における起動プログラム更新方式に関し、起動プログラムをユニットの交換や改造を行わずに、取り外し可能な外部補助記憶装置の交換のみで更新できるようにすることを目的とする。

【構成】 CPU1のアドレス空間に直接配置可能で該起動プログラムを更新した更新起動プログラムを格納しうるとともに取外し可能な補助記憶装置4をそなえ、初期立ち上げ動作時に、ハードウェアロジックにより、IPL-ROM2のアドレス領域に該補助記憶装置4の領域を配置するように切り替えることにより、補助記憶装置4上の更新起動プログラムにて、装置を起動するように構成する。

本発明の原理ブロック図



**【特許請求の範囲】**

【請求項1】 CPU(1)と、起動プログラムを格納したIPL-ROM(2)と、設定によりアドレス領域の配置の変更が可能なアドレスデコーダ部(3)とをそなえ、電源導入後またはリセット後に該IPL-ROM(2)に格納されている該起動プログラムにより該CPU(1)の初期立ち上げ動作を行なうCPU搭載装置(10)において、

該CPU(1)のアドレス空間に直接配置可能で該起動プログラムを更新した更新起動プログラムを格納しうるとともに取外し可能な補助記憶装置(4)をそなえ、初期立ち上げ動作時に、ハードウェアロジックにより、該IPL-ROM(2)のアドレス領域に該補助記憶装置(4)の領域を配置するように切り替えることにより、該補助記憶装置(4)上の該更新起動プログラムにて、装置を起動することを特徴とする、CPU搭載装置における起動プログラム更新方式。

【請求項2】 該IPL-ROM(2)として、不揮発性書き込み/読み出し可能なメモリが使用されて、該補助記憶装置(4)上の該更新起動プログラムにて、装置を起動したあとに、該更新起動プログラムを該IPL-ROM(2)に書き込むことを特徴とする、請求項1記載のCPU搭載装置における起動プログラム更新方式。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、CPU搭載装置における起動プログラム更新方式に関する。近年、装置の機能の複雑化に伴いマイクロプロセッサ(CPU)を搭載した装置が増大しており、特に大規模なシステムでは、装置内に複数のCPUを搭載したものが多くある。

【0002】装置の制御用に搭載されるCPUは、起動プログラムをROM上に格納して実装しているが、機能のエンハンスやバグの修正のために起動プログラムを更新可能とする必要がある。

**【0003】**

【従来の技術】図8は従来のCPU搭載装置における起動プログラム更新方式を説明するための図であり、この図8において、10'はCPU1を搭載した装置であるが、このCPU搭載装置10'では、CPU1が、バスライン12を介して起動プログラムを格納したIPL-ROM2'、RAM5、装置の機能を司る実行プログラムを格納するファイル(磁気記憶媒体：外部補助記憶装置)11に接続されている。

【0004】このような構成により、装置の起動はIPL-ROM2'に格納されている起動プログラムを用いて行ない、この起動プログラムによって、実行プログラムをRAM5上に展開して、これを実行する。なお、実行プログラムの更新は、補助記憶媒体を交換することにより行なわれる。

**【0005】**

【発明が解決しようとする課題】しかしながら、このような従来のものでは、起動プログラム自身が、ROMに格納されて実装されているため、装置あるいはユニットの固有プログラムとなっており、補助記憶媒体の交換によっては、起動プログラムを除く制御プログラムの更新しかすることができない。

【0006】そのため、起動プログラムの機能エンハンスやバグ修正時には、ユニット上のROMを交換するために、ユニットごと交換しなければならない。上記のように、装置あるいはユニットのプログラムを更新する際には、ユニット交換や改造が必要となり、そのために保守作用が煩雑となって、障害やコストアップの原因となってしまうという課題がある。

【0007】本発明は、このような課題に鑑み創案されたもので、起動プログラムをユニットの交換や改造を行わずに、取り外し可能な外部補助記憶装置の交換のみで更新できるようにした、CPU搭載装置における起動プログラム更新方式を提供することを目的とする。

**【0008】**

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図1において、10はCPU搭載装置で、このCPU搭載装置10は、CPU1、IPL-ROM2およびRAM5をそなえることにより、電源導入後またはリセット後に、IPL-ROM2に格納されている起動プログラムによって、CPU1の初期立ち上げ動作を行なうものであるが、更に制御回路6に接続されたアドレスデコーダ部3をそなえている。また、上述の各装置の他に、CPU搭載装置10は、補助記憶装置4もそなえている。なお、これらのCPU搭載装置10を構成する各装置は、それぞれがバスライン12によって、相互間を接続されている。

【0009】ここで、IPL-ROM2は、起動プログラムを格納したもので、不揮発性書き込み/読み出し可能なメモリを使用することができる。アドレスデコーダ部3は、設定によりアドレス領域の配置の変更が可能なものであり、補助記憶装置4は、CPU1のアドレス空間に直接配置可能で起動プログラムを更新しうるとともに、更新起動プログラムを格納した取外し可能なものである。

**【0010】**

【作用】上述の本発明のCPU搭載装置における起動プログラム更新方式では、図1に示すように、初期立ち上げ動作時に、ハードウェアロジックにより、IPL-ROM2のアドレス領域に補助記憶装置4の領域を配置するように切り替える。そして、これにより、補助記憶装置4上の更新起動プログラムにて、装置を起動する(請求項1)。

【0011】また、補助記憶装置4上の更新起動プログラムにて、装置を起動したあとに、更新起動プログラム

をIPL-ROM2に書き込む(請求項2)。

【0012】

【実施例】以下、図面を参照して本発明の実施例を説明する。図2は本発明の一実施例を示すブロック図で、この図2において、10はCPU搭載装置である。このCPU搭載装置10は、電源導入後またはリセット後に、不揮発性書き込み/読み出し可能なメモリとしてのEEPROM2に格納されている起動プログラムによって、CPU1の初期立ち上げ動作を行なうものである。

【0013】このために、このCPU搭載装置10は、CPU(マイクロプロセッサ)1、EEPROM2、RAM5、アドレスデコーダ3、ファイル11をそなえとともに、リセットスイッチ(SW)8、9に接続された制御回路6をそなえて構成されている。なお、これらの各装置は、それぞれがアドレスバス、データバス、制御バスによって構成されるバスライン12によって、相互間を接続されている。そして、更にCPU搭載装置10は、このバスライン12によって、コネクタ7を介して外部補助記憶装置4にも接続されるようになっている。

【0014】ここで、CPU1は、メモリ空間上のプログラムを実行するマイクロコントローラであり、EEPROM2は、不揮発性記憶デバイスであり、起動プログラムを始めその他の制御プログラムを格納したものである。また、EEPROM2としては、電氣的消去が可能な不揮発性書き込み/読み出し可能なメモリが使用されるものであり、不揮発性記憶デバイスの交換無しに書換えが可能なものである。

【0015】RAM5は、書き込み/読み出し可能な記憶デバイスであり、プログラムの展開や作業用の領域である。アドレスデコーダ3は、設定によりアドレス領域の配置の変更が可能なもので、CPU1により出力されるアドレス値によって、メモリ空間上に配置された記憶デバイスを選択する回路である。

【0016】外部補助記憶装置4は、プログラムやデータを格納する取り外し可能なメモリカードによって構成されたものであり、そして、このメモリカードは、不揮発性記憶デバイスによって構成されたものである。これにより、外部補助記憶装置4は、起動プログラムやデータを更新した更新起動プログラムおよび更新データ(更新用制御プログラム)を格納しうるとともに、取外し可能な機能を持つようになっている。

【0017】更に、外部補助記憶装置4は、EEPROM2やRAM5と同様にCPU1のメモリ空間上のアドレス空間に直接配置可能であり、格納されているプログラムは、RAM5上に展開することなく直接CPU1から実行可能なものである。制御回路6は、CPU1が動作するために必要な信号の生成を司る回路であり、設定によりアドレスデコーダ3の動作を切り換えて、外部補助記憶装置4の領域のイメージをEEPROM2の領域

に配置する機能を持つものである。

【0018】また、制御回路6は、動作モードをCPU1から設定可能とする他、リセットスイッチ8、9の押下状態を識別して、リセットスイッチ8のみが押下された場合には、通常運用モードでCPU1に対してリセットを掛け、リセットスイッチ8、9の両方が同時に押下された場合には、プログラム交換モードでリセットを掛ける機能を持つものである。

【0019】ファイル11は、CPU搭載装置10が初期立ち上げ動作ののちに、行なわれる制御プログラムおよびデータ等を格納するものである。このような構成により、通常の運用時には、図3に示す通常運用モード時のメモリマップにある手順で動作を行なう。つまり、まず、CPU1は、EEPROM2に格納された起動プログラムの動作により、外部補助記憶装置4の実行プログラムをメモリ上に展開してこれを実行する。

【0020】また、制御回路6に対してプログラム交換モードを設定すると、このモードによるメモリマップの変更が行なわれ、その結果、図4に示すプログラム交換モード時のメモリマップに切り換えられる。これにより、外部補助記憶のイメージ領域は、本来の外部補助記憶領域と同じ内容のものが読み出せる。この結果、CPU1は、リセット動作後に外部補助記憶装置4上に格納された起動プログラムの動作により、外部補助記憶装置4の実行プログラムをメモリ上に展開してこれを実行する。

【0021】即ち、プログラム交換モードを設定すると、初期立ち上げ動作時に、ハードウェアロジックにより、EEPROM2のアドレス領域に外部補助記憶装置4の領域を配置するように切り替えられる。これにより、CPU1は、補助記憶装置4上の更新用起動プログラムにて、装置を起動することになるのである。そして、そののち、外部補助記憶装置4の所定の制御プログラムが実行される。

【0022】また、ユニット上のEEPROM2の起動プログラムを含む制御プログラムを更新する場合は、次の手順のように行なう。まず、

①プログラム交換モードでリセット動作を行なう。

即ち、書き換え用起動プログラムを格納したメモリカード4をセットしてリセットスイッチ8、9を同時に押下する。すると、このプログラム交換モードリセット時のメモリマップは、図5のようになり、CPU1は、メモリカード4上の書き換え用起動プログラムによって立ち上がる。

【0023】そののち、この外部補助記憶装置(メモリカード)4上の書き換え用起動プログラムによって、以下の動作が実行される。すなわち、

②EEPROM領域に配置された、外部補助記憶装置4上の起動プログラムの領域から、本来の外部補助記憶装置4の領域に制御を移す。

つまり、図6に示すように、書き換え用起動プログラムの制御をメモリカード4のイメージ領域から、本来のメモリカード領域へと遷移させる。

【0024】③制御回路6のプログラム交換モード設定を解除して、EEPROM領域を通常状態（図3の状態）に戻す。

④外部補助記憶装置4に格納されている更新用プログラムをEEPROM2へと転送する。

即ち、補助記憶装置4上の書き換え用起動プログラムにて、装置を起動したあとに、通常運用モードに移行してから、図7に示すように、EEPROM2の書き換えを行なう。

【0025】つまり、補助記憶装置4上の更新用の起動プログラムと更新用の制御プログラムをEEPROM2に複写して、プログラムの更新を終了するのである。

⑤通常運用モードでリセット動作を行なう。

なお、アドレスの切り換え方法として、ユニット上の主記憶EEPROM領域と外部補助記憶領域を交換する方法を採っても可能である。

【0026】このようにEEPROM2の書き換え用プログラムを外部補助記憶装置4に格納して、起動プログラムとしてCPUから直接実行することにより、ユニットに搭載した起動プログラムを含む全ての制御プログラムに変更の必要が生じても、ユニット上のEEPROM2を交換することなく、プログラムの更新が可能になる。このために、CPU1を搭載した装置の保守性向上に大きく寄与することができる。

【0027】

【発明の効果】以上詳述したように、本発明のCPU搭載装置における起動プログラム更新方式によれば、CPUと、起動プログラムを格納したIPL-ROMと、設定によりアドレス領域の配置の変更が可能なアドレスデコーダ部とをそなえ、電源導入後またはリセット後にIPL-ROMに格納されている起動プログラムによりCPUの初期立ち上げ動作を行なうCPU搭載装置において、CPUのアドレス空間に直接配置可能で、起動プログラムを更新した更新起動プログラムを格納しうるとともに、取外し可能な補助記憶装置をそなえ、初期立ち上げ動作時に、ハードウェアロジックにより、IPL-R

OMのアドレス領域に補助記憶装置の領域を配置するように切り替えることにより、補助記憶装置上の更新起動プログラムにて、装置を起動することと、さらに、IPL-ROMとして、不揮発性書き込み/読み出し可能なメモリが使用されて、補助記憶装置上の更新起動プログラムにて、装置を起動したあとに、更新起動プログラムをIPL-ROMに書き込むことにより、IPL-ROM上の起動プログラムをROMの交換無しに（ユニットの交換や改造を行わずに）、取り外し可能な外部補助記憶装置の交換のみで更新することが可能となる利点がある。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の一実施例を示すブロック図である。

【図3】本発明の一実施例における作用を説明する図である。

【図4】本発明の一実施例における作用を説明する図である。

【図5】本発明の一実施例における作用を説明する図である。

【図6】本発明の一実施例における作用を説明する図である。

【図7】本発明の一実施例における作用を説明する図である。

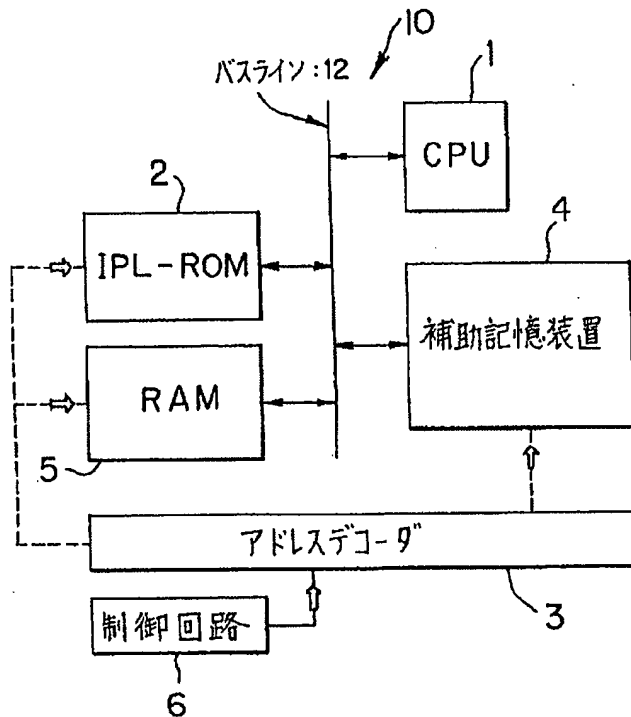
【図8】従来例を示すブロック図である。

【符号の説明】

- 1 CPU
- 2 EEPROM (IPL-ROM)
- 2' IPL-ROM
- 3 アドレスデコーダ (アドレスデコーダ部)
- 4 外部補助記憶装置 (補助記憶装置; メモリカード)
- 5 RAM
- 6 制御回路
- 7 コネクタ
- 8, 9 リセットスイッチ
- 10, 10' CPU搭載装置
- 11 ファイル
- 12 パスライン

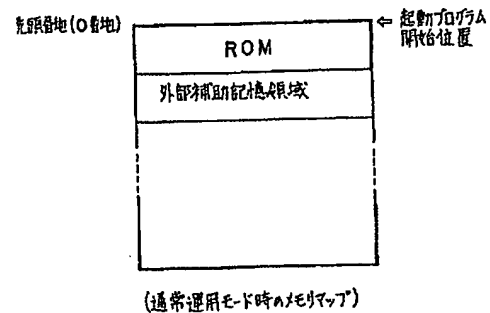
【図1】

## 本発明の原理ブロック図



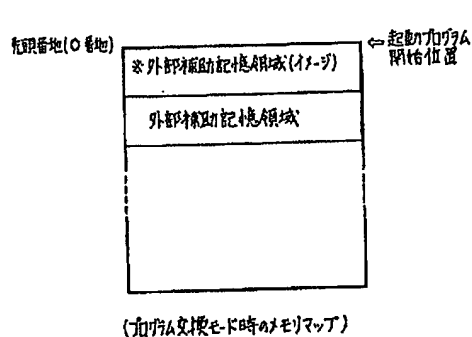
【図3】

## 本発明の実施例における作用を説明する図



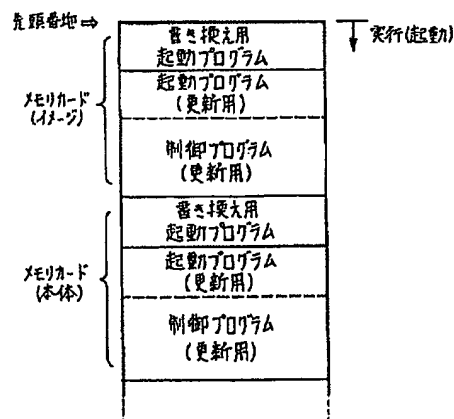
【図4】

## 本発明の実施例における作用を説明する図



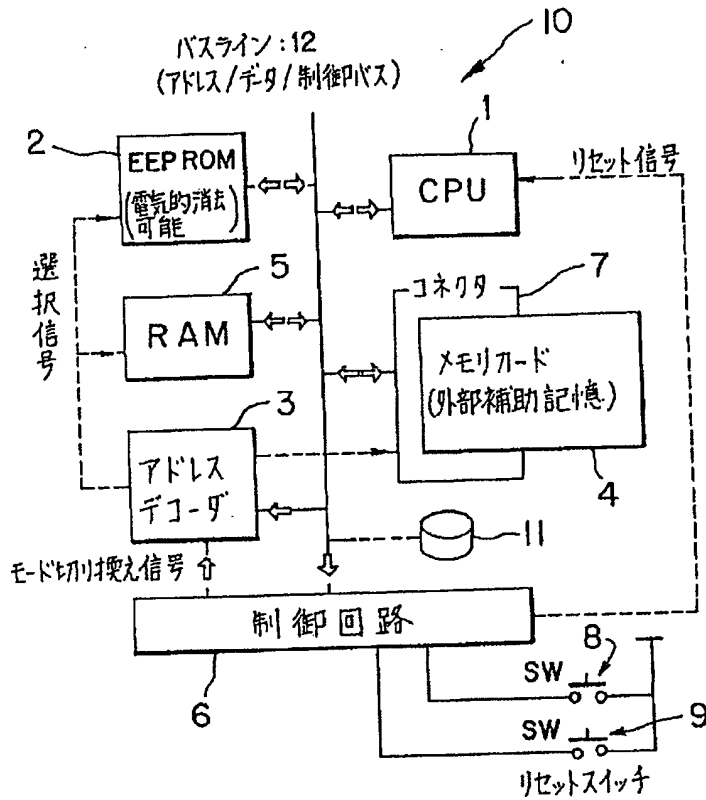
【図5】

## 本発明の実施例における作用を説明する図



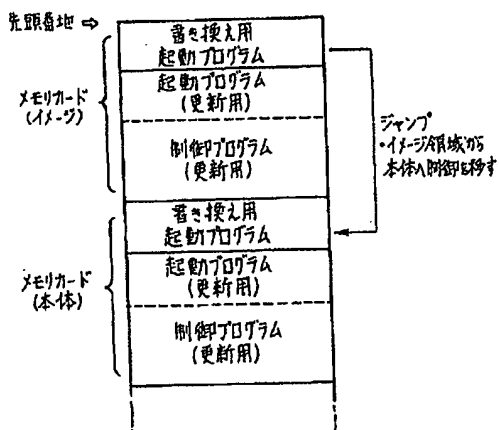
【図2】

本発明の一実施例を示すブロック図



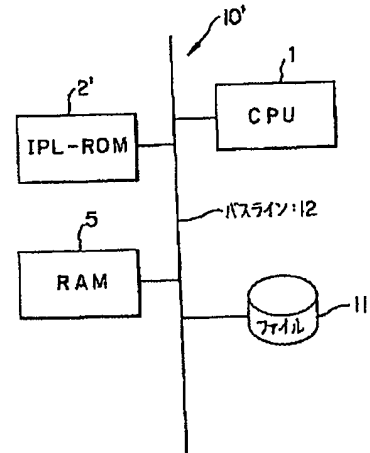
【図6】

本発明の一実施例における作用を説明する図



【図8】

従来例を示すブロック図



【図7】

本発明の一実施例における作用を説明する図

